

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-296133

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

G09G 3/20

G09G 3/20

G09G 3/36

(21)Application number : 10-095041

(71)Applicant : FRON TEC:KK

(22)Date of filing : 07.04.1998

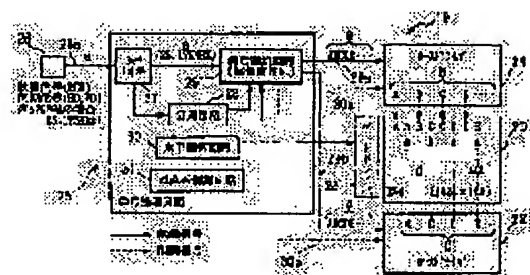
(72)Inventor : YAMADA YUKIMITSU
KAWABATA MASARU
HEBIGUCHI HIROYUKI

(54) DRIVING CIRCUIT FOR PICTURE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the driving circuit which is easily coped with the display format having different resolution and of which the reliability is improved without newly providing a memory and a computing circuit for the generation of data and without increasing the power consumption.

SOLUTION: The driving circuit is provided with a pair of source drivers 21 and 22 which are connected to a display panel 20 having prescribed horizontal and vertical pixel numbers and provide the horizontal video signals having the prescribed horizontal pixel number, video signal lines 29a and 20b which branch video signals and transmit the same video signals to the drivers 21 and 22, respectively, and a horizontal video signal control circuit 30 which gives a set of sampling timing signals to the drivers 21 and 22 so that the drivers 21 and 22 generate horizontal video signals having the prescribed horizontal pixel number.



LEGAL STATUS

[Date of request for examination]

20.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3529617

[Date of registration]

05.03.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 所定の水平画素数と垂直画素数が各々設定された表示パネルに接続され前記所定の水平画素数の水平映像信号を与える一対のソースドライバと、映像信号を分岐させて同一の映像信号を前記ソースドライバのそれぞれに送る映像信号線と、一組のサンプリングタイミング信号を前記一対のソースドライバのそれぞれに与え、各ソースドライバにて前記所定の水平画素数になる水平映像信号を発生させる水平映像信号制御回路とを具備したことを特徴とする画像表示装置の駆動回路。

【請求項2】 所定の水平画素数と垂直画素数が各々設定された表示パネルに接続され前記所定の水平画素数の水平映像信号を与える一対のソースドライバと、映像信号を該映像信号が前記所定の水平映像信号より水平画素数が少ない信号のとき2つに複製し、該映像信号が前記所定の水平映像信号のとき2つに分割して、複製または分割映像信号の各々を前記ソースドライバのそれぞれに送る信号選択回路と、同期信号に応じて前記所定の水平画素数の映像信号又はこの信号より水平画素数が少ない映像信号を判別し、前記信号選択回路に映像信号複製か分割かの制御信号を与える解像度判別回路と、映像信号を2つに分割して分割した映像信号を前記信号選択回路に与える分周回路と、1組のサンプリングタイミング信号を前記一対のソースドライバのそれぞれに与え、各ソースドライバにて前記所定の水平画素数より少ない画素数の水平映像信号であってこれら水平映像信号を合体したとき前記所定の水平画素数になる水平映像信号を発生させる水平映像信号制御回路とを具備したことを特徴とする画像表示装置の駆動回路。

【請求項3】 所定の水平画素数と垂直画素数とが各々設定された表示パネルに接続され前記所定の水平画素数の水平映像信号を与えるソースドライバと、映像信号を複製して同一の映像信号を前記ソースドライバに順次送る映像信号線と、1組のサンプリングタイミング信号を前記ソースドライバに順次与え、ソースドライバにて前記所定の水平画素数より少ない画素数の水平映像信号を順次発生させる水平映像信号制御回路とを具備したことを特徴とする画像表示装置の駆動回路。

【請求項4】 所定の水平画素数と垂直画素数とが各々設定された表示パネルに接続され前記所定の水平画素数の水平映像信号を与えるソースドライバと、映像信号を複製して同一の映像信号を前記ソースドライバに順次送る映像信号線と、1組のサンプリングタイミング信号を前記ソースドライバに順次与え、ソースドライバにて前記所定の水平画素数より間引いた少ない画素数の水平映像信号を発生させるとともに前記所定の水平画素数より間引くデータの位置をフィールドとラインと時間のいずれか少なくとも1つ毎に変化させる水平映像信号制御回路とを具備したことを特徴とする画像表示装置の駆動回路。

【請求項5】 所定の水平画素数と垂直画素数が各々設定された表示パネルに接続され前記所定の水平画素数の水平映像信号を与えるソースドライバと、映像信号を該映像信号が前記所定の水平映像信号より水平画素数が少ない信号のとき2つに複製し、該映像信号が前記所定の水平映像信号のとき2つに分割して、複製または分割映像信号の各々を前記ソースドライバに順次送る信号選択回路と、同期信号に応じて前記所定の水平画素数の映像信号又はこの信号より水平画素数が少ない映像信号を判別し、前記信号選択回路に映像信号複製か分割かの制御信号を与える解像度判別回路と、映像信号を2つに分割して分割した映像信号を前記信号選択回路に与える分周回路と、1組のサンプリングタイミング信号を前記ソースドライバに順次与え、ソースドライバにて前記所定の水平画素数より少ない画素数の水平映像信号であってこれら水平映像信号を合体したとき前記水平画素数になる水平映像信号を順次発生させる水平映像信号制御回路とを具備したことを特徴とする画像表示装置の駆動回路。

【請求項6】 所定の水平画素数と垂直画素数とが各々設定された表示パネルに接続され前記所定の水平画素数の水平映像信号を与えるソースドライバと、映像信号を該映像信号が前記所定の水平映像信号より水平画素数が少ない信号のときに2つに複製し、該映像信号が前記所定の水平映像信号のとき2つに分割して、複製または分割映像信号の各々を前記ソースドライバに順次送る信号選択回路と、同期信号に応じて前記所定の水平画素数の映像信号又はこの信号より水平画素数が少ない映像信号を判別し、前記信号選択回路に映像信号複製か分割かの制御信号を与える解像度判別回路と、映像信号を2つに分割して分割した映像信号を前記信号選択回路に与える分周回路と、1組のサンプリングタイミング信号を前記ソースドライバに順次与え、ソースドライバにて前記所定の水平画素数より間引いた少ない画素数の水平映像信号であってこれら水平映像信号を合体したとき前記水平画素数になる水平映像信号を発生させるとともに前記所定の水平画素数より間引くデータの位置をフィールドとラインと時間のいずれか少なくとも1つ毎に変化させる水平映像信号制御回路とを具備したことを特徴とする画像表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は解像度を切り替えて使用される高解像度の表示パネルを備えた表示装置の駆動回路に関する。

【0002】

【従来の技術】 パーソナルコンピュータ用の表示装置にあつては、表示画面の解像度の切替がなされることがあり、従来のこの種の表示装置の規格において、VGA規格、SVGA規格、XGA規格、SXGA規格、UXGA規格等が代表的なものとして広く知られている。これ

ら規格の1画面を構成する画素数は以下に示す通りである。

VGA規格	;	水平方向	640画素、	垂直方向	480画素
SVGA規格	;	水平方向	800画素、	垂直方向	600画素
XGA規格	;	水平方向	1024画素、	垂直方向	768画素
SXGA規格	;	水平方向	1280画素、	垂直方向	1024画素
UXGA規格	;	水平方向	1600画素、	垂直方向	1200画素

(前記表記においてVGA、SVGA、XGA、SXGA、UXGAはいずれもIBM社登録商標)

通常、上記の各規格においては、1つの画素に赤

(R)、青(B)、緑(G)の3つのピクセルが配列されて構成されている。

【0003】従ってこの種の表示装置において各規格に合わせて表示の切替を行う場合に、文字信号等を一定の表示面積の表示画面上に拡大あるいは縮小して表示する必要がある。従来のこの種の表示装置における信号拡大技術の一例として、特開平8-129356号公報に開示されている技術、あるいは、特開平8-166778号公報に開示されている技術が知られている。特開平8-129356号公報に開示されている技術は、画像データの解像度を検出回路で検出して表示パネルとの比率により拡大回路で拡大率を設定し、1画面分の画像データをフレームメモリに蓄え、このフレームメモリから読み出された連続2ライン分の画像データを前記拡大率に基づいて演算回路で補完して表示パネルに送って表示するものである。特開平8-166778号公報に開示されている技術は、3つのピクセルが並んで構成された表示ドットをマトリクス状に配列した構造において、3つのピクセルに表示すべき3つの行方向原表示輝度データを演算回路で拡張し、所定の輝度の重み付けをして拡大表示輝度データを形成し、このデータをピクセルに出力して原画像を表示パネルの行方向に拡大するものである。しかしながら特開平8-129356号公報に開示されている技術、および、特開平8-166778号公報に開示の技術では、データの演算、サンプリングのし直し、メモリの追加を行わなくてはならず、回路規模が大きくなり、表示装置全体の小型化の支障になるとともにコストが増大する欠点があった。

【0004】次に、これらの技術を考慮し、メモリを追加する必要のない信号拡大構造を有する表示装置の一例として本願発明者は図16に示す構造の表示装置を想定している。図16に示す表示装置は、マトリクス状に配列されたソース配線とゲート配線とを具備する薄膜トランジスタ型の液晶表示パネル1に対して、ソース配線側に接続される第1の水平ドライバ2および第2の水平ドライバ3と、ゲート配線側に接続される垂直ドライバ4とが接続され、各ドライバ2、3、4を制御するための信号処理回路5が設けられたものである。信号処理回路5の内部には、元データとしての映像信号が入力されるサンプリング回路7と、このサンプリング回路7に接続された分周回路8および信号選択回路9と、前記水平

ドライバ2、3を制御するための水平制御回路10と垂直ドライバ4を制御するための垂直系制御回路11とが設けられ、信号処理回路5にクロック発生回路12が接続されて構成されている。また、この例で用いる液晶表示パネル1はXGA規格に沿う水平方向画素数1024個、垂直方向画素数768個のものである。

【0005】図16に示す表示装置において、VGA規格の映像信号(クロック27.175MHz)の元データ、例えば図17のHで示す信号ABCDE...を信号処理回路5に入力するとこの信号がサンプリング回路7に入力され、サンプリング回路7においてはサンプリングクロック40.28MHzにより図17のIで示す変換データAABCCDEE...を作成してこの変換データIを分周回路8に送る。即ち、VGA規格の映像信号は、1H=640個のデータを有するのでこのデータをXGA規格の1H=1024個にするには、1.6倍に調整する必要があるので、クロック27.175MHzの1.6倍のサンプリングクロック40.28MHzを用いる。

【0006】次に、前記変換データを分周回路8で奇数番の信号と偶数番の信号に分周し、信号選択回路9により図17のJで示す奇数番の信号ABCE...を第1水平ドライバ2にドライバへの出力として入力し、図17のKで示す偶数番の信号ACDE...を第2水平ドライバ3にドライバの出力として入力する。ここで、水平制御回路10は第1水平ドライバ2と第2水平ドライバ3から液晶表示パネル1のソース線に交互に信号入力できるように両ドライバ2、3を制御するので、XGA規格の表示が可能な液晶表示パネル1に図17のLと図16の液晶表示パネル1に示すようなAABCCDEE...のデータを表示することができる。

【0007】一方、XGA規格の映像信号の元データが入力されてきた場合は、サンプリング回路7を迂回させてこの信号を図16のI'に示すように分周回路8に送り、ここで前述と同じ分周処理を行うならば、元々のXGA規格の映像信号を第1水平ドライバ2と第2水平ドライバ3とに信号選択回路9で振り分けて液晶表示パネル1で合成してXGA規格の表示を行うことができる。即ち、図16に示す回路構造を採用することでVGA規格の元データの映像信号をサンプリングし直してXGA規格の映像信号を液晶表示パネル1に出力することができ、XGA規格の元データの映像信号も液晶表示装置1に出力できたことになる。

【0008】

【発明が解決しようとする課題】しかしながら図16に示す回路構造では、元データの周期と異なる周期のクロックを発生させるための回路を別途必要とし、回路規模が大きくなり、表示装置の小型化に支障となる問題があった。更に、動作周波数も高くなるために、消費電力も増大する傾向があり、通常の信号処理回路の消費電力が250mWである場合に400mW程度に増大してしまう問題があった。また、異なるデジタルデータのサンプリングを行うことでサンプリングのセットアップ時間、ホールド時間が厳しいために、表示装置の信頼性が悪くなり、画質の劣化につながるおそれがあった。

【0009】本発明は前記事情に鑑みてなされたもので、データを作成するためのメモリや演算回路を新たに設けることなく、消費電力を増大させることなく解像度の異なる表示形態に容易に対応することができ、表示装置としての信頼性を向上させることができる駆動回路の提供を目的とする。

【0010】

【課題を解決するための手段】本発明において一フレームは完成された一画像であり、一フレームを構成する複数の分割された画像をそれぞれフィールドと呼ぶことにする。本発明は前記課題を解決するために、所定の水平画素数と垂直画素数が各々設定された表示パネルに接続され前記所定の水平画素数の水平映像信号を与える一対のソースドライバと、映像信号を分岐させて同一の映像信号を前記ソースドライバのそれぞれに送る映像信号線と、一組のサンプリングタイミング信号を前記一対のソースドライバのそれぞれに与え、各ソースドライバにて前記所定の水平画素数より少ない画素数の水平映像信号であってこれら水平映像信号を合体したとき前記所定の水平画素数になる水平映像信号を発生させる水平映像信号制御回路とを具備したことを特徴とする。

【0011】このような構造にすることで、サンプリングタイミング信号を調整することにより、別個にメモリの追加を行うことなく、個別のクロック発生回路を別個に要することなく表示パネルの解像度に合わせた映像信号を両ソースドライバにて合成して表示パネルに送ることができるので、回路の小型化、消費電力の低減に寄与し、表示装置としての信頼性向上につながる。

【0012】本発明において、所定の水平画素数と垂直画素数が各々設定された表示パネルに接続され前記所定の水平画素数の水平映像信号を与える一対のソースドライバと、映像信号を該映像信号が前記所定の水平映像信号より水平画素数が少ない信号のとき2つに複製し、該映像信号が前記所定の水平映像信号のとき2つに分割して、複製または分割映像信号の各々を前記ソースドライバのそれぞれに送る信号選択回路と、同期信号に応じて前記所定の水平画素数の映像信号又はこの信号より水平画素数が少ない映像信号を判別し、前記信号選択回路に映像信号複製か分割かの制御信号を与える解像度判別回

路と、映像信号を2つに分割して分割した映像信号を前記信号選択回路に与える分周回路と、1組のサンプリングタイミング信号を前記一対のソースドライバのそれぞれに与え、各ソースドライバにて前記所定の水平画素数より少ない画素数の水平映像信号であってこれら水平映像信号を合体したとき前記所定の水平画素数になる水平映像信号を発生させる水平映像信号制御回路とを具備したことを特徴とする構造でも良い。

【0013】このような構造にすることで、入力された映像信号の水平画素数と表示パネルの水平画素数の変換率に合わせて、サンプリングタイミング信号を調整し、該映像信号の水平画素数が表示パネルの水平画素数よりも多い場合であっても、該映像信号の水平画素数が表示パネルの水平画素数よりも少ない場合であっても、映像信号を分割するか複製してから各信号をサンプリングタイミング信号により調整し、いずれの場合でも調整後の信号合成により表示パネルの水平画素数に合わせた水平映像信号を送ることができる。ここでは、所定の水平画素数の水平映像信号の一部を間引くことになるが、この間引くデータは任意に設定できるので、どのような変換率の場合であっても容易に対応することができる。従って、別個にメモリの追加を行うことなく、個別のクロック発生回路を別個に要することなく表示パネルの解像度に合わせた映像信号を両ソースドライバにて合成して表示パネルに送ることができるので、回路の小型化、消費電力の低減に寄与し、表示装置としての信頼性向上につながる。

【0014】本発明において、所定の水平画素数と垂直画素数が各々設定された表示パネルに接続され、前記所定の水平画素数の水平映像信号を与えるソースドライバと、映像信号を複製して同一の映像信号を前記ソースドライバに順次送る映像信号線と、1組のサンプリングタイミング信号を前記ソースドライバに順次与え、ソースドライバにて前記所定の水平画素数より少ない画素数の水平映像信号を順次発生させる水平映像信号制御回路とを具備したことを特徴とする構造でも良い。更に、1組のサンプリングタイミング信号を前記ソースドライバに順次与え、ソースドライバにて前記所定の水平画素数より間引いた少ない画素数の水平映像信号を発生させるとともに間引くデータの位置をフィールド毎、ライン毎、時間毎のいずれか毎に切り換える水平映像信号制御回路とを具備したことを特徴とする構造でも良い。

【0015】このように信号処理を行うことで、従来では必要であった個別のクロック発生回路を要することなく解像度に合わせた出力を得ることができるので、回路の小型化、消費電力の低減に寄与し、表示装置としての信頼性向上につながる。また、所定の水平画素数より少ない画素数の水平映像信号を発生させることは信号の一部のデータを間引くことになるが、この間引いたデータを順次表示装置に送るか、フィールド毎、ライン毎、時

間毎に送ることによって画面全体の間引いた信号部分を平均化することが容易にでき、原画像に近似した表示を得ることができる。このようなデータの間引きに関し、ソースドライバでのクロック信号を一時的に止めてデータのサンプリングを一時的に止めることで容易に対応できる。

【0016】本発明において、所定の水平画素数と垂直画素数が各々設定された表示パネルに接続され前記所定の水平画素数の水平映像信号を与えるソースドライバと、映像信号を該映像信号が前記所定の水平映像信号より水平画素数が少ない信号のとき2つに複製し、該映像信号が前記所定の水平映像信号のとき2つに分割して、複製、または分割映像信号の各々を前記ソースドライバに順次送る信号選択回路と、同期信号に応じて前記所定の水平画素数の映像信号又はこの信号より水平画素数が少ない映像信号を判別し、前記信号選択回路に映像信号複製か分割かの制御信号を与える解像度判別回路と、映像信号を2つに分割して分割した映像信号を前記信号選択回路に与える分周回路と、1組のサンプリングタイミング信号を前記ソースドライバに順次与え、ソースドライバにて前記所定の水平画素数より少ない画素数の水平映像信号であってこれら水平映像信号を合体したとき前記水平画素数になる水平映像信号を順次発生させる水平映像信号制御回路とを具備したことを特徴とする構造でも良い。

【0017】更に、1組のサンプリングタイミング信号を前記ソースドライバに順次与え、ソースドライバにて前記所定の水平画素数より少ない画素数の水平映像信号であってこれら水平映像信号を合体したとき前記水平画素数になる水平映像信号をフィールド、ライン、時間のいずれか毎に発生させる水平映像信号制御回路とを具備したことを特徴とする構造でも良い。

【0018】所定の水平画素数より少なく、合体した際に所定の水平画素数となる水平映像信号を発生させることは信号の一部のデータを間引くことになるが、この間引いたデータを順次表示装置に送るか、フィールド毎、ライン毎、時間毎のいずれかで間引くデータの位置を変えて送ることによって画面全体の間引いた信号部分を平均化することが容易にでき、原画像に近似した表示を得ることができる。

【0019】

【発明の実施の形態】以下に本発明の各実施形態を詳細に説明するが、本発明はこれらの実施形態に限定されるものではない。

「第1実施形態」図1は本発明に係る解像度変換表示装置の第1実施形態を示すもので、この例の解像度変換表示装置19は、ソース配線とゲート配線をマトリクス状に配列するとともに行列状に画素電極と薄膜トランジスタを配置して構成されたアクティブマトリクス型の表示パネル20（例えば、液晶表示パネル：LCD）と、そのソース配線側に接続された第1ソースドライバ

21および第2ソースドライバ22と、ゲート配線側に接続されたゲートドライバ23と、それらに接続された信号処理回路25を主体として構成されている。また、この形態で用いる表示パネル20はXGA規格に沿う水平方向画素数1024、垂直方向画素数768のものである。

【0020】この形態の構造において第1ソースドライバ21と第2ソースドライバ22とは、表示パネル20の上下に接続されていて、表示パネル20の縦方向に配されているソース配線のうち、奇数番目のものに対して第1ソースドライバ21の各出力端子が接続され、ソース配線の奇数番目のものに対して第1ソースドライバ21が信号入力できるように、また、ソース配線の偶数番目のものに対して第2ソースドライバ22の各出力端子が接続されていて、表示パネル20のソース配線の偶数番目のものに対して第2ソースドライバ22が信号入力できるように構成されている。従って、前記第1ソースドライバ21の出力と第2ソースドライバ22の出力の合体によって表示パネル20の水平画素数に対応した数の水平画素を全て駆動できるように構成されている。

【0021】次に、信号処理回路25には、パーソナルコンピュータ等の映像信号発生装置26からの映像信号が信号線26aを介して入力されるように構成されており、ラッチ回路27と、このラッチ回路27に接続された分周回路28および信号選択回路（解像度判別回路）29と、前記ソースドライバ21、22を制御するための水平制御回路（水平映像信号制御回路）30と、ゲートドライバ23を制御するための垂直系制御回路（垂直映像信号制御回路）31とが設けられている。

【0022】信号選択回路29はソースドライバ21、22に映像信号線29a、29bを介してそれぞれ接続され、信号選択回路29に入力された映像信号を各ソースドライバ21、22にそれぞれ送ることができるように構成されている。水平制御回路30はソースドライバ21、22に制御線30a、30bを介してそれぞれ接続され、1組のサンプリングタイミング信号を各ソースドライバ21、22にそれぞれ送り、各ソースドライバ21、22にて前記表示パネル20の水平画素数（この形態では水平画素数1024）より少ない画素数の水平映像であって、これら両ソースドライバ21、22の各水平映像信号を合体したときに表示パネル20の水平画素数（この形態では1024）になる水平映像信号を発生できるように構成されている。

【0023】次に、図1に示すようにXGA規格（1024×768）の解像度を有する表示パネル20を有する装置において、入力される映像信号（元データ）がXGA規格のデータの場合とVGA規格（640×480）のデータの場合についてそれぞれの動作を説明する。

<元データがXGA規格の場合>映像信号発生装置26

から信号線 2 6 a を介して信号処理回路 2 5 に送られてきた元データ（映像信号）をラッチ回路 2 7 に入力すると、ラッチ回路 2 7 は元データをラッチして分周回路 2 8 と信号選択回路 2 9 にそれぞれ送る。分周回路 2 8 は元データを奇数番目と偶数番目の 2 つのデータに分解して信号選択回路 2 9 に送る。信号選択回路 2 9 はラッチ回路 2 7 から送られた元データに基づいて元データの解像度の判別を行い、XGA 規格の解像度の元データであることを判別し、分周回路 2 8 にて分周されたデータを選択して第 1 ソースドライバ 2 1 に奇数番目のデータを映像信号線 2 9 a を介して送り、第 2 ソースドライバ 2 2 に偶数番目のデータを映像信号線 2 9 b を介して送る。そして、各ソースドライバ 2 1、2 2 に送られてきたデータをそのまま表示パネル 2 0 のソース配線側に入力することで、XGA 規格の解像度を有する表示パネル 2 0 に XGA 規格のデータを支障無く入力して表示することができる。即ち、元データの水平画素数と表示パネル 2 0 の水平画素数とが同じ場合、信号処理回路 2 5 では分周回路 2 8 で元データを 2 分解した後にそのまま第 1 ソースドライバ 2 1 と第 2 ソースドライバ 2 2 に送って表示する。

【0024】<元データがVGA規格の場合>元データが水平画素数 640、即ち、1H=640のVGA規格のデータの場合は、表示パネル 2 0 が水平画素数 1024、即ち、1H=1024のXGA規格の解像度を有するので、以下に説明する処理を行う。まず、信号処理回路 2 5 に送られてきた元データをラッチ回路 2 7 に入力してラッチし、分周回路 2 8 と信号選択回路 2 9 にそれぞれ送る。信号選択回路 2 9 で元データの解像度の判別を行い、VGA 規格の解像度であることを判別し、ラッチ回路 2 8 から送られてきた元データと全く同一の 2 系列のデータを作成（即ち、元データの複製を行う）し、そのまま 2 つのデータを第 1、第 2 ソースドライバ 2 1、2 2 に映像信号線 2 9 a、2 9 b を介して送る。次に、ソースドライバ 2 1、2 2 に送られてきたデータのサンプリングを行うタイミングを水平制御回路 3 0 で制御する。

【0025】例えば、水平制御回路 3 0 により、一時的にドライバのクロックを止めることで各ソースドライバ 2 1、2 2 に入力されたデータ a の内の一部のデータを間引くことで、間引きされたデータを各ソースドライバ毎に図 2 の b と c' に示すように（例えば、第 1 ソースドライバの出力として D を間引いた A B C E … のデータ b、第 2 ソースドライバの出力として B を間引いた A C D E … のデータ c'）を作成し、これらの間引かれてサンプリングされたデータ b、c' を表示パネル 2 0 側に出力して合体させることで d（図 2 の d の出力参照）として出力する。

【0026】ここでデータを間引く割合は、解像度の変更率に対応させる必要があり、1H=1024のデータ

を 2 つのソースドライバ 2 1、2 2 で出力するためには、1 つのドライバあたり 512 のデータが必要であるので、1 つのドライバあたり 1H=640 のデータを 512 に間引くこと（即ち各ソースドライバ 2 1、2 2 に入力されたデータを個々に 20% 間引くこと）で実現できる。このように間引かれてサンプリングされたデータ b、c' を表示パネル 2 0 側に入力すると、表示パネル 2 0 に出力されるデータは図 2 の d に示すように A A B C C D E E … のように 1H あたり 1024 個のデータになる。即ち、水平方向の画素数変換の倍率を 1.6 倍に、即ち、VGA 規格から XGA 規格のデータに変換できたことになる。

【0027】このように第 1 の形態において、図 1 に示すような構造と図 2 を元に先に説明した信号処理を行うことで、従来では必要であった個別のクロック発生回路を要することなく解像度に合わせた出力を得ることができるので、回路の小型化、消費電力の低減に寄与し、表示装置としての信頼性向上につながる。

【0028】ところで先の説明においては、VGA 規格あるいは XGA 規格の映像信号を XGA 規格の表示装置に表示させる場合について説明したが、他に、SVGA 規格の表示装置、SXGA 規格の表示装置、UXGA 規格の表示装置のいずれにかに種々の規格の水平画素数の映像信号を入力する場合に本発明を対応させることもできるのは勿論である。この場合、ソースドライバ 2 1、2 2 でサンプリングする場合に間引くデータ数を画素数の変換率に合わせて適宜調整することでどのような画素数の変換の場合にも対応できるのは勿論である。即ち、入力された映像信号の水平画素数と表示パネル 2 0 の水平画素数の変換率に合わせて、サンプリングタイミング信号を調整し、該映像信号の水平画素数が表示パネルの水平画素数よりも多い場合であっても、該映像信号の水平画素数が表示パネルの水平画素数よりも少ない場合であっても、映像信号を分割するか複製してから各信号をサンプリングタイミング信号により調整して必要数の間引きを行い、いずれの場合でも調整後の信号合成により表示パネルの水平画素数に合わせた水平映像信号を送ることができる。

【0029】なお、この第 1 の実施形態においては水平画素数の変換による表示について述べたが、垂直方向の表示について例えば以下に説明する方法で表示することができる。

①垂直方向表示の第 1 の例

垂直方向への画素数変換を特に行わず、垂直方向は余白表示を採用する。一般に用いられている横長型のワイドテレビジョン画面の垂直方向表示は下部または上部の一部分を余白部分として画像を水平方向のみ変換し表示しているので、本発明においてもこの手法を取り入れることで、先に説明した水平画素数変換と組み合わせて水平方向と垂直方向の両表示を行うことができる。この方式

を採用することでメモリ等の記憶回路未使用による回路の小型化という本願発明の特徴を活かしたままで水平方向、垂直方向ともに表示することができる。

【0030】②垂直方向表示の第2の例

水平方向の画素数変換の倍率に合わせて複数のゲートを一括駆動する。例えば、図3(A)に示すゲートドライバ23を制御する際に、1水平走査期間にオン(ON)にするゲートライン(ゲート配線)の数を切り換えることにより、垂直方向の拡大表示を行うことができる。同時にオンにするゲートラインの数は変換倍率に合わせて切り換えることができる。例えば、VGA表示をXGA表示に変換する場合、ライン数を1.6倍にする必要があるため図3(A)に示すゲートライン5ライン分の情報を8ライン分の情報に変換して垂直方向の表示を行う。例えば図3(A)に示すA、B、C、D、Eで構成される原画像信号が入力された場合にゲートドライバ23からゲートラインに対してa、a、b、c、c、d、e、eのように信号入力する。即ち、A、B、C、D、Eの5本のラインデータに対し、A、C、Eのラインデータのみをそれぞれ書き込む時点で2ライン分のゲートラインを同時にオンとする。これにより、5本のラインデータを8本に拡大表示することができる。

【0031】そして、このように同時にオンにする画面上の場所を後述する第2実施形態の場合において図5を基に説明する場合と同様にフィールド単位(あるいはフレーム単位)で図3(B)に示すように切り換えることにより、空間的に演算された(平均化された)表示にすることができ、極めて滑らかな表示形態を取ることができる。即ち、変換率に合わせて同時にオンにするゲートラインの数を制御することにより、あらゆる解像度の変換に対応することができる。また、このような垂直方向の変換は以下に説明する各実施形態のいずれの場合でも容易に適用することができる。

【0032】「第2実施形態」図4は本発明に係る解像度変換表示装置の第2実施形態を示すもので、この例の解像度変換表示装置33は、ソース配線とゲート配線をマトリックス状に配列するとともに行列状に画素電極と薄膜トランジスタを配置して構成されたアクティブマトリックス型の表示パネル(例えば、液晶表示パネル:LCD)20と、そのソース配線側に接続された第1ソースドライバ21および第2ソースドライバ22と、ゲート配線側に接続されたゲートドライバ23と、それらに接続された信号処理回路35を主体として構成されている。また、この形態で用いる表示パネル20はXGA規格に沿う水平方向画素数1024、垂直方向画素数768のものである。

【0033】次に、信号処理回路35にはパーソナルコンピュータ等の映像信号発生装置26からの映像信号が入力されるように構成されており、ソースドライバ21、22を制御するための水平制御回路(水平映像信号

制御回路)30とゲートドライバ23を制御するための垂直系制御回路(垂直映像信号制御回路)31とが設けられている。また、この形態の構造において第1ソースドライバ21と第2ソースドライバ22とゲートドライバ23は、先の形態のものと同等の構造であるが、映像信号発生装置から出された映像信号(元データ)は映像信号線36から分岐された映像信号線36a、36bを介してソースドライバ21、22に直接入力されるように構成されている。

【0034】水平制御回路30はソースドライバ21、22に制御線30a、30bを介してそれぞれ接続され、1組のサンプリングタイミング信号を各ソースドライバ21、22にそれぞれ送り、各ソースドライバ21、22にて前記表示パネル20の水平画素数(この形態では水平画素数1024)より少ない画素数の水平映像であって、これら両ソースドライバ21、22の各水平映像信号を合体したときに表示パネル20の水平画素数(この形態では1024)になる水平映像信号を順次(フィールド毎に)発生できるように構成されている。

【0035】<元データが表示装置の解像度XGA規格よりも小さい規格の場合>元データが水平画素数640、即ち、1H=640のVGA規格の如くXGA規格のデータよりも小さい規格の場合は表示パネル20が水平画素数1024、即ち、1H=1024のXGA規格の解像度を有するので、以下に説明する処理を行う。まず、元データを2つのソースドライバ21、22に信号線36a、36bを介して直接送る。そして、ソースドライバ21、22内でデジタルデータのサンプリングを制御することでデータの間引きを行う。ここでのサンプリング制御は、水平制御回路30の作用によりそれぞれのソースドライバ21、22でデータのサンプリングを一時的に止めることで個別に間引いて制御することができる。しかも、間引くデータはライン毎に切り換えるようにする。そして、間引いたデータはそのまま表示パネル20に出力する。

【0036】この場合のソースドライバ21でのn番目の出力を図5にfで示し、ソースドライバ22でのn番目の出力を図5にgで示す。これらを合体することで図5のhに示す表示を液晶パネル20に出力することができる。次に、ソースドライバ21でのn+1番目の出力を図5にiで示し、ソースドライバ22でのn+1番目の出力を図5にjで示す。これらを合体することで図5のkに示す表示を液晶パネル20に出力することができる。即ち、以上の処理はソースドライバ21、22で間引くデータをそれぞれライン毎に切り換えるようにして間引いたデータをそのまま表示パネル20に出力する。

【0037】<元データが表示装置の解像度XGA規格の場合>この場合、元データを信号線36a、36bを介して2つのソースドライバ21、22にそのまま送り、各々のソースドライバ21、22内でデジタルデー

タのサンプリング時にデータの間引きを行い、元データの1/2のみをサンプリングする。そして、間引かれたデータをそのまま表示パネル20に出力することで、液晶パネル20でXGA規格のデータを表示できる。

【0038】データを間引く割合は、解像度の変更率に対応させる必要があり、1H=1024のデータを2つのソースドライバ21、22で出力するためには、1つのドライバあたり512のデータが必要であるので、1つのドライバあたり1H=1024のデータを半分の512に間引くこと（即ち各ソースドライバ21、22に10 入力されたデータを個々に50%間引くこと）で実現できる。

【0039】このように第2の形態において、図4に示すような構造と図5を元に先に説明した信号処理を行うことで、従来では必要であった個別のクロック発生回路を要することなく解像度に合わせた出力を得ることができるので、回路の小型化、消費電力の低減に寄与し、表示装置としての信頼性向上につながる。また、垂直ライン毎に間引くデータを変更しているの、切り換えを行うライン（間引きを行う水平ライン）の表示を空間的に20 積分した表示形態にすることができ、画面全体として間引くデータを平均化できるので、表示上での輪郭を滑らかにすることができ、原画像に近似した表示を得ることができる。また、空間周波数が向上することによりフリッカを低減できる。

【0040】「第3実施形態」図6と図7は本発明の第3実施形態を示すためのもので、40はXGA規格（1024×768画素）の解像度がある表示パネル、41はVGA規格（640×480画素）に対応したソースドライバ、43はゲートドライバ、45は信号処理回路、47はラッチ回路、48は分周回路、49は信号選択回路（解像度判別回路）、50は水平制御回路（水平映像信号制御回路）、51は垂直系制御回路（垂直映像信号制御回路）、49aは映像信号線、50aは制御線をそれぞれ示す。また、図8と図9は第2の形態の表示パネルとして好適な液晶表示装置の構造例を示す。この形態の構成は、出力数がXGA規格の約半分となる1H=640のVGA規格に対応したソースドライバと、1H=1024のXGA規格の解像度がある表示パネルを有した構成の場合に、XGA規格とVGA規格の画像を40 表示パネル（例えば、液晶表示パネル：LCD）40に表示するための形態である。この形態において、ソースドライバ41はVGA規格の出力能力のあるものを後述する図8あるいは図9を基に説明する構造に適用して構成される。

【0041】＜データがXGA規格の場合＞パーソナルコンピュータ等の映像信号発生装置26からの元データ（映像信号）が信号線26aを介して信号処理回路45に送られると、この元データがラッチ回路47に入力され、ラッチ回路47が元データをラッチして分周回路4

8と信号選択回路49に元データをそれぞれ送る。分周回路48で元データを1個おきに間引き、データ数を半分の数に減らし、信号選択回路49に送る。この際に間引くデータはフレーム毎に切り替えるものとする。

【0042】次に、信号選択回路49でラッチ回路47から送られてきた元データの解像度の判別を行い、XGA規格の解像度であることを判別し、分周回路48で分周されたデータを選択し、映像信号線49aを介してソースドライバ41に送る。ソースドライバ41に送られてきたデータはそのまま表示パネル40に出力する。このような処理を行うことでVGA規格に対応したソースドライバ41とXGA規格に対応した表示パネル40を有して、XGA規格の元データを入力した場合に支障無く表示パネル40にXGA規格の映像を出力できる。

【0043】次に、データがVGA規格の場合の信号処理状況を説明する前に、この第2の形態の回路に適用して好適な表示パネル40の一例について説明する。図8は第2の形態の回路に適用して好適なアクティブマトリックス型液晶表示パネルの駆動基板の回路構成例を示すもので、この例の構造では、ソースドライバ41の各出力端子にソース配線D1、D2、D3、D4・・・が接続され、ゲートドライバ43の各出力端子にゲート配線G1、G2、G3、G4、G5、G6、G7・・・が接続され、ソース配線とゲート配線とで囲まれた領域に1つあるいは2つの画素電極Sが設けられ、この画素電極Sに対応する領域が表示部とされている。

【0044】この例の構造においてゲート配線G1、G2、G3、G4、G5、G6・・・のうち、1本目と最終本目以外のものは、2本一組で隣接して設けられ、各画素電極Sとソース配線の一部あるいはゲート配線の一部に接続して薄膜トランジスタ等のスイッチング素子Tが設けられている。更に、1本のソース配線Dに対してその左右に位置する2列の画素電極Sがそれぞれスイッチング素子Tを介して接続されるとともに、1本のソース配線Dに対してその左右に位置する画素電極Sのそれぞれが異なるゲート配線Gに接続されている。

【0045】この構成の表示パネルを駆動するには、図10に示すタイミングチャートを参照の如く、第1フィールドでゲート配線G2、G4、G6・・・の順に、それぞれの偶数番目のゲート配線G2、G4、G6・・・に接続されている各スイッチング素子Tを動作させる。次に、第2フィールドでゲート配線G1、G3、G5・・・の順に、それぞれの奇数番目のゲート配線G1、G3、G5・・・に接続されている各スイッチング素子Tを動作させる。このようなゲートドライバ43の作動によりソースドライバ41から送られてきたデータの書込位置をフィールド毎に切り替えることができ、これにより図6を基に先に説明の如くVGA規格の元データ（映像信号）をXGA規格の表示パネル40に出力することができる。

【0046】図8に示す構造では1本のソース配線に対して2列の画素電極Sがスイッチング素子Tを介して接続されているので、ゲートドライバ43の制御によりソースドライバに送られてきたデータの書き込み場所をフレーム毎に切り換えることができる。

【0047】次に図9は前述の第2形態の回路に適用して好適なアクティブマトリックス型液晶表示パネルの駆動基板の回路構成例を示すもので、この例の構造ではソースドライバ41'の各出力端子にソース配線D1、D2、D3、D4...が接続され、ゲートドライバ43'の出力端子にゲート配線G1、G2、G3、G4、G5、G6...が接続され、ソース配線D1、D2、D3、D4...と平行に、奇数番目のソース配線D1、D3、D5...に隣接してコントロール配線CA...が設けられ、偶数番目のソース配線D2、D4、D6...に隣接してコントロール線CB...が設けられ、ソース配線Dとゲート配線Gとコントロール配線CAあるいはCBとで囲まれた領域に1つつ画素電極Sが設けられ、これらの画素電極Sに対応する領域が表示部とされている。

【0048】この例の構造においてゲート配線G1、G2、G3、G4、G5、G6...はほぼ等間隔で離間されてこれら配線間に画素電極Sが設けられ、ソース配線D1、D2、D3、D4...のそれぞれの左右両側に画素電極Sが配されていて、各画素電極Sとソース配線の一部あるいはゲート配線の一部に接続して薄膜トランジスタ等のスイッチング素子Tが2個一組で設けられている。更に、1本のソース配線Dに対してその左右に位置する2列の画素電極Sがそれぞれスイッチング素子T、Tを介して接続されるとともに、1本のソース配線Dに対してその左右に位置する画素電極Sのそれぞれにおいてソース配線Dに近い側のスイッチング素子Tがソース配線Dに接続され、他方のスイッチング素子Tが各画素電極Sに隣接するコントロール線Cに接続されている。

【0049】この構成の表示パネルを駆動するには、図11に示すタイミングチャートを参照の如く、第1フィールドでゲート配線G1、G2、G3...の順に動作させ、コントロール線CAをハイレベルに、CBをローレベルに設定し、コントロール線CAに接続されているスイッチング素子Tをオンとする。次に、第2フィールドでG1、G2、G3...の順で動作させ、コントロール線CBをハイレベルに設定し、コントロール線CAをローレベルに設定し、コントロール線CBに接続されているスイッチング素子Tを導通状態（オン状態）とする。このようなソースドライバ41'とコントロール線CA、CBの作動によりソースドライバ41'から送られてきたデータの書込位置をフィールド毎に切り替えることができる。即ち、図9に示す構造では1本のソース配線に対して2列の画素電極Sがスイッチング素子Tを介して接続されているので、ゲートドライバ43'の制御によりソースドライバに送られてきたデータの書き込み場所をフ

レーム毎に切り換えることができる。

【0050】＜データがVGA規格の場合＞図6に示すように信号処理回路45に映像信号発生装置26から送られてきた元データをラッチ回路47でラッチし、分周回路48と信号選択回路49にそれぞれ送る。信号選択回路49では解像度の判別を行い、VGAの解像度であることを判別し、ラッチ回路47から送られてきたデータを選択し、ソースドライバ41に送る。次に、ソースドライバ41に送られてきたデータのサンプリングを行うタイミングを制御する。具体的には、一例として、ソースドライバ41のクロックを一時的に止めることで実現することができ、これによりデータの間引きを行うことができる。なお、この間引きは、図7のnとoに示すように第1フィールドと第2フィールドで切り替えるようにする。次に、以上のように間引かれてサンプリングされたデータを表示パネル40に出力する。

【0051】表示パネル40は先に説明した図8又は図9に示す構造にされていて、1本のソース配線に対してその左右2列の画素電極Sがスイッチング素子Tを介して接続されているので、ゲートドライバ43あるいは43'の制御により、ソースドライバ41あるいは41'に送られてきたデータを書き込む場所（ソース配線単位）をフィールド毎に切り替えることができる。従って出力されたデータは1H当たり1024個となり、画素数変換の倍率は1.6倍、即ち、VGA規格の画素数をXGA規格の画素数に変換して駆動することができた。なお、この形態において表示パネル40の最大解像度のデータのクロック周波数（XGA規格の場合に65MHz、75MHz）で動作することができるソースドライバを用いる場合は、前記の信号処理回路45において分周回路48を不要にすることができる。

【0052】以上説明のように第3実施形態において、図6、8に示すような構造と図7を元に先に説明した信号処理を行うことで、従来は必要であった個別のクロック発生回路を要することなく表示パネルの解像度に合わせた出力を得ることができるので、回路の小型化、消費電力の低減に寄与し、表示装置としての信頼性向上につながる。更に、フィールドあるいはフレーム毎に間引く信号を切り換えるようにするならば、間引くデータの存在を画面全体として平均化することができるので、原画像に近似した表示を得ることができる。

【0053】「第4実施形態」前述の第3実施形態の表示パネル40の内部構造において、図12に示すように1本のソース配線Dn（D1、D2、D3...）から延長線（L1、L2、L3）を設けて3つの画素電極Sに信号を供給する方式も実施できる。その際、1行あたり3本のゲート配線（G1a、G1b、G1c、G2a、G2b、G2c...）を用いて各々3つのフィールドに分けて信号を供給して駆動することができる。このような駆動を行うとソースドライバを更に削減して水平方向の画素数の変換を

行うことができる。なお、画素数の変換の倍率に応じて信号を間引くようにすることは勿論である。

【0054】「第5実施形態」図13と図14は本発明の第5の形態を示すためのもので、60はUXGA（1600×1200画素）の解像度がある表示パネル、61はUXGAに対応したソースドライバ、63はゲートドライバ、65は信号処理回路、67はラッチ回路、68は分周回路、69は信号選択回路（解像度判別回路）、70は水平制御回路（水平映像信号制御回路）、71は垂直系制御回路（垂直映像信号制御回路）をそれぞれ示している。また、ソースドライバ61の内部にはデータラッチ回路61a、61bが設けられ、ソースドライバ62の内部にはデータラッチ回路62a、62bが設けられていて、液晶表示パネル60のソース配線において、奇数番目のソース配線にはデータラッチ回路61a、61bから交互に信号が入力されるとともに、液晶表示パネル60のソース配線において、偶数番目のソース配線にはデータラッチ回路62a、62bから交互に信号が入力されるように構成されている。この形態の構成は、出力数が1H=1600のUXGA規格に対応したソースドライバと、UXGAの解像度がある表示パネルに、例えばUXGAとVGAの画像を表示するための形態である。

【0055】＜データがUXGAの場合＞映像信号発生装置26から信号処理回路65に送られてきた元データ（映像信号）をラッチ回路67でラッチし、分周回路68と信号選択回路69に送る。分周回路68で元データを奇数番目と偶数番目の2つのデータに分解し、信号選択回路69に送る。信号選択回路69でラッチ回路67から送られてきた元データを用いて解像度の判別を行い、1H=1600のUXGAの解像度であることを判別し、分周回路68からの分周されたデータを選択し、分周されたデータを2つのソースドライバ61、62にそれぞれ映像信号線69a、69bを介して送る。即ち、ソースドライバ61、62にそれぞれ全く同一の2系列のデータを送る。送られてきたデータをソースドライバ61あるいは62の内部のそれぞれ2系列のデータラッチ回路61a、61bあるいは62a、62bに入力する。入力されたデータをそのまま表示パネル60に表示することでUXGAの表示パネルにUXGAのデータを支障無く表示することができる。

【0056】＜データがVGAの場合＞映像信号発生装置26から信号処理回路65に送られてきた元データ（映像信号）をラッチ回路67に入力し、分周回路68と信号選択回路69に送る。信号選択回路69で元データを基に解像度の判別を行い、1H=640のVGAの解像度であることを判別し、ラッチ回路67から送られてきたデータを全く同じ2系列作成し、そのまま2つのソースドライバ61、62に送る。ソースドライバ61、62ではそれらに送られてきたデータのサンプリン

グを行うタイミングを制御する。例えば、ソースドライバ61、62のクロックを一時的に止めることを行う。これにより、データの間引きを行うことができる。

【0057】この制御は、それぞれのドライバ61、62のデータラッチ回路61a、61b、62a、62b毎に個別に行う。間引かれてサンプリングされたデータを表示パネル60に出力する。出力されたデータは、1Hあたり1600のデータとなる。画素数変換の倍率はVGA（640画素）からUXGA（1600画素）の変換となるので2.5倍となる。なお、4つのデータラッチ回路においては各々640画素分の信号を400画素分の信号に変換する、即ち、640画素分の信号を400に間引くことで4つのデータラッチ回路の合計で400×4=1600画素分の信号を生成することができる。図14に各データラッチ回路61a、61b、62a、62bからのドライバ出力を符号s、t、u、v、の順で示し、これらの全ての出力の合計となる液晶パネル60での表示を図14に符号wで示す。なお、この実施形態のデータの出力方法を先の実施形態の場合と同様にフレーム（フィールド）単位で切り替えて行う手法とすることで、データのラッチ回路の構成を半分にすることもできる。

【0058】以上のように第5実施形態において、図13に示すような構造と図14を元に先に説明した信号処理にすることで、従来では必要であった個別のクロック発生回路を要することなく解像度に合わせた出力を得ることができるので、回路の小型化、消費電力の低減に寄与し、表示装置としての信頼性向上につながる。

【0059】「第6実施形態」図1に示す構成を採用し、タイミング動作として図15に示す動作処理を行って表示パネル20に表示を行うこともできる。まず、元データを2つのソースドライバ21、22に信号線29a、29bを介して直接送る。そして、ソースドライバ21、22内でデジタルデータのサンプリングを制御することでデータの間引きを行う。ここでのサンプリング制御は水平制御回路30の作用によりそれぞれのソースドライバ21、22でデータのサンプリングを一時的に止めることで個別に間引いて制御することができ、しかも、間引くデータはフィールド毎に切り換えるようにする。そして、間引いたデータはそのまま表示パネル20に出力する。

【0060】この場合のソースドライバ21での第1フィールドの出力を図15に符号b1で示し、第2フィールドの出力をb2で示し、ソースドライバ22での第1フィールドの出力を図15に符号c'1で示し、第2フィールドの出力を図15に符号c'2で示す。これらを合体することで第1フィールドの表示は図15のd1に示す表示を第2フィールドの表示は図15のd2に示す表示を得ることができ、液晶パネル20においては最終的に図15のdに示す表示を得ることができる。

【0061】この際、間引くデータはフィールド毎に切り替えるものとする。これにより、フレーム表示で2つの異なるデータを演算した形となり、第1フィールドと第2フィールドの表示を合成した平均的な表示となるので、表示画像の階調を滑らかにする効果がある。このような駆動手法は他の実施形態に適用できるのは勿論である。

【0062】ところで先の実施形態においては、640×480（ドット）表示のVGA規格と、1024×768（ドット）表示のXGA規格と、1600×1200（ドット）表示のUXGA規格の間での変換についてのみ説明したが、パーソナルコンピュータの画像表示規格にはその他に多種多様な規格があり、更に、TVやビデオでの解像度にも多種多様なものがあるので、本発明の駆動回路はこれらの全てに適用できるのは勿論である。即ち、画素数の変換率に合わせて分解するか複製する信号数とそれらから間引く数を適宜調節することでどのような解像度変更にも適用することができる。

【0063】パーソナルコンピュータの解像度は先に説明した以外に以下に記載するものが広く知られている。720×400画素（VGAテキスト）、832×624画素（Macintosh16;米国アップルコンピュータ社商標）、800×600画素（SVGA）、1152×870画素（Macintosh21;米国アップルコンピュータ社商標）。

【0064】また、TVの解像度（水平解像度×垂直解像度）としては以下のものが広く知られている。352×240、352×480、704×480、720×480（以上、MPEG2でのNTSCフォーマット：DVD）、352×288、352×576、704×576、720×576（以上、MPEG2でのPALフォーマット：DVD）、854×480、944×512、640×480、704×480、1280×720、1920×1080（以上、米国デジタル地上放送の規格）、1920×1035（日本放送協会規定の提案規格：HDTV）。

【0065】更に、図18と図19に種々の解像度の場合の具体的な変換率の具体的な数値を列举しておく。図18と図19に示すように、例えば、640画素のものを800画素にするには元データを2倍の1280としてからデータの37.5%を間引いて800とすれば良く、800画素を1600画素にするには2倍としてからのまま出力し、640画素のものを1024画素にするには元データを2倍の1280としてからデータの20%を間引いて1024とすれば良い。このように図18と図19に示す変換率から容易に間引くデータの割合を計算することができる。

【0066】

【発明の効果】以上説明したように本発明は、一組のサンプリングタイミング信号を一对のソースドライバに与

えて各ソースドライバにて所定の水平画素数となる水平映像信号を発生させる水平映像信号制御回路を設けたので、サンプリングタイミング信号を調整することにより、別個にメモリの追加を行うことなく、個別のクロック発生回路を別個に要することなく表示パネルの解像度に合わせた映像信号を両ソースドライバにて合成して表示パネルに送ることができるので、回路の小型化、消費電力の低減に寄与し、表示装置としての信頼性向上につながる。

【0067】次に本発明は、水平映像信号を時間的または構造的に2つ以上のデータに分解するか2つ以上のデータに複製して複数列のデータを作成し、複数列のデータを画素数の変換率に合わせて間引いてから合成するかそのまま合成してから表示パネルに出力する水平映像信号制御回路を具備してなるので、個別のクロック発生回路を要することなく解像度に合わせた出力を得ることができる。従って、回路の小型化、消費電力の低減に寄与し、表示装置としての信頼性向上につながる。また、入力されたデータと出力するべきデータの画素数の変換率に合わせて間引くデータは任意に設定することで、どのような画素数の変換率の場合であっても容易に対応することができる。

【0068】本発明において、複数列のデータから画素数の変換に合わせて間引くデータをフィールド毎あるいはフレーム毎に変更することで、間引くデータを任意の周期で変化させることが容易にできるようになる。従って、信号処理回路で処理が必要なデータ数を半減させることができ、信号処理回路で必要な回路を簡略化できるとともに、間引く信号を画像全体として平均化することができる。原画像により近似した滑らかな表示を得ることができる。

【図面の簡単な説明】

【図1】 図1は本発明に係る第1実施形態の回路構成を示す図である。

【図2】 図2は図1に示す第1実施形態の回路を駆動する場合の回路各部分の信号出力図である。

【図3】 図3（A）は垂直方向の駆動形態の第1の例を示す図、図3（B）は第2の例を示す図である。

【図4】 本発明に係る第2実施形態の回路構成を示す図である。

【図5】 図4に示す第2実施形態の回路を駆動する場合の回路各部分の信号出力図である。

【図6】 本発明に係る第3実施形態の回路構成を示す図である。

【図7】 図6に示す第3実施形態の回路を駆動する場合の回路各部分の信号出力図である。

【図8】 第3実施形態の回路に用いて好適な液晶表示パネル基板の回路構成の第1の例を示す図である。

【図9】 第3実施形態の回路に用いて好適な液晶表示パネル基板の回路構成の第2の例を示す図である。

21

22

【図10】 図8に示す第3実施形態の回路構成の表示パネルを駆動する場合のタイミングチャートの第1の例を示す図である。

【図11】 図8に示す第3実施形態の回路構成の表示パネルを駆動する場合のタイミングチャートの第2の例を示す図である。

【図12】 本発明に係る第4実施形態の回路構成を示す図である。

【図13】 本発明に係る第5実施形態の回路構成を示す図である。

【図14】 図13に示す第5実施形態の回路を駆動する場合の回路各部分の信号出力図である。

【図15】 第6実施形態のタイミング動作図である。

【図16】 本発明者が想定した表示装置の回路構成を示す図である。

* 【図17】 図16に示す回路を駆動する場合の駆動回路の各部分の信号出力図である。

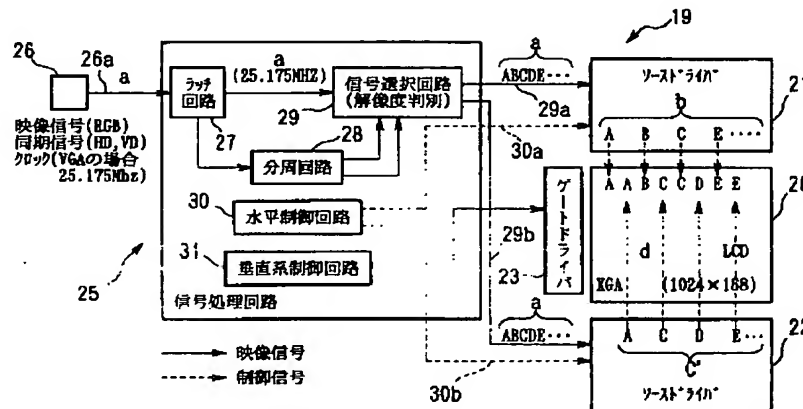
【図18】 表示装置のサイズと画像データの画素数との関係の一例を示す図である。

【図19】 表示装置のサイズと画像データの画素数との関係の他の例を示す図である。

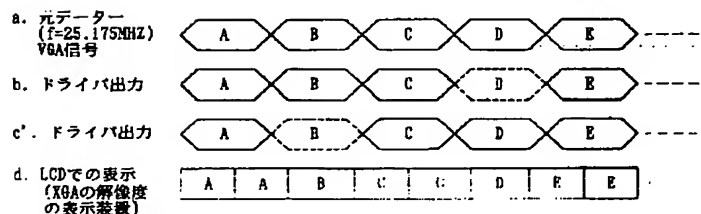
【符号の説明】

20、40、60…表示パネル、21、22、41、61…ソースドライバ、23、43、63…ゲートドライバ、25、35、45、65…信号処理回路、26…映像信号発生装置、27、47、67…ラッチ回路、28、48、68…分周回路、29、49、69…信号選択回路（解像度判別回路）、30、50、70…水平制御回路（水平映像信号制御回路）、31、51、71…垂直系制御回路。

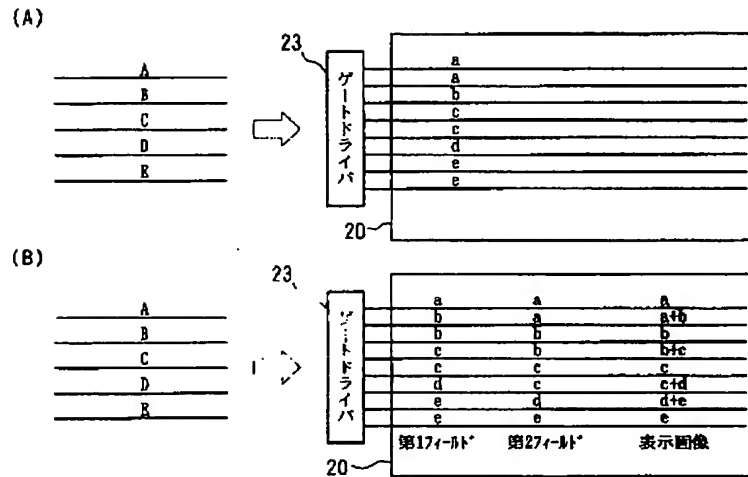
【図1】



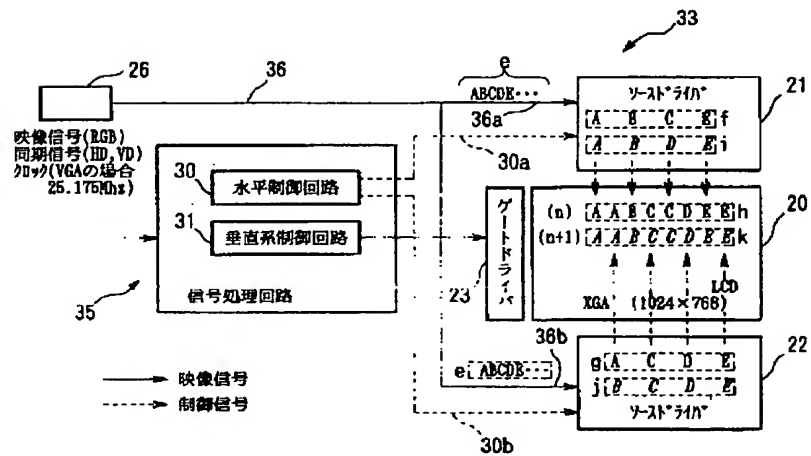
【図2】



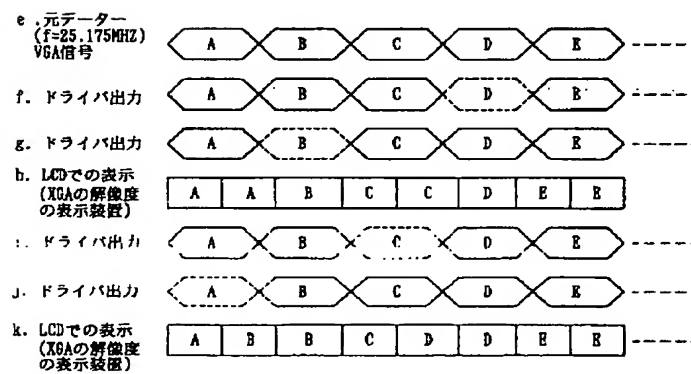
【図3】



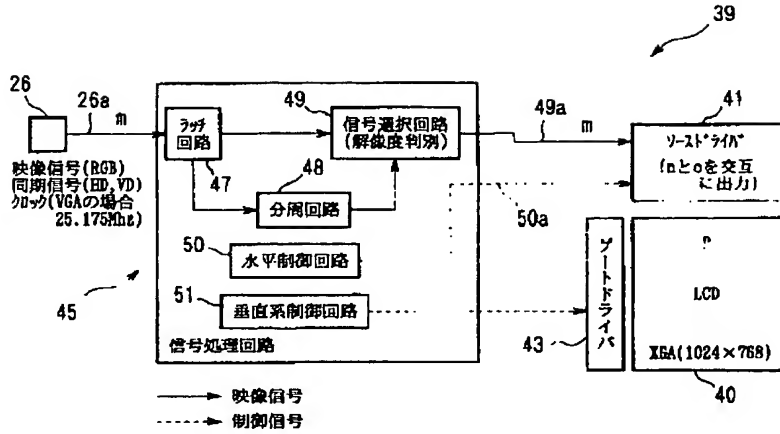
【図4】



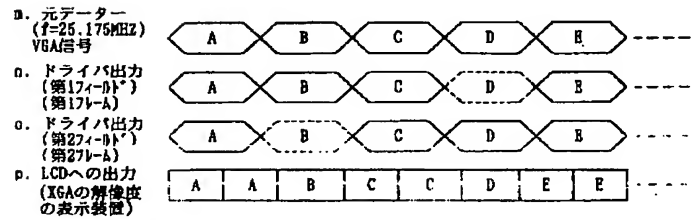
【図5】



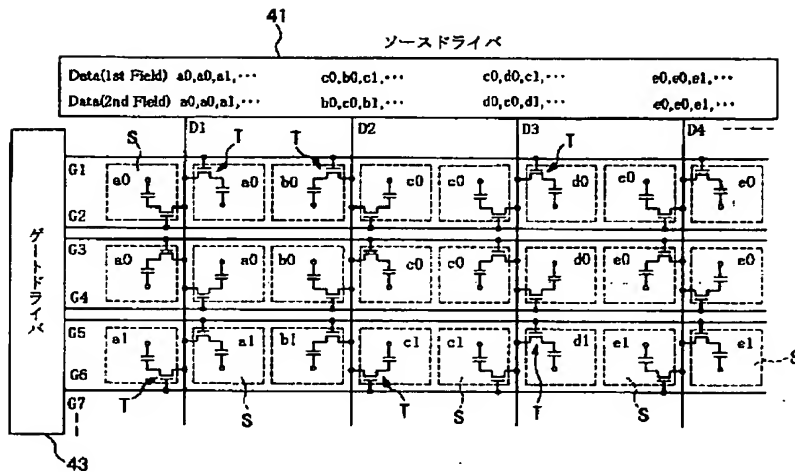
【図6】



【図7】



【図8】



The diagram illustrates the mapping of 8-bit data to 16-bit words. The top part shows a sequence of 8-bit data (D0-D7) being mapped to 16-bit words (D0-D7). The bottom part shows a sequence of 16-bit words (D0-D7) being mapped to 8-bit data (D0-D7).

8-bit Data	16-bit Word
D0	a0
D1	a1
D2	b0
D3	b1
D4	c0
D5	c1
D6	d0
D7	d1

16-bit Word	8-bit Data
D0	a0
D1	a1
D2	b0
D3	b1
D4	c0
D5	c1
D6	d0
D7	d1

r. 元データ
 (E=25.175MHz)
 V8A信号

s. ドライバ出力a

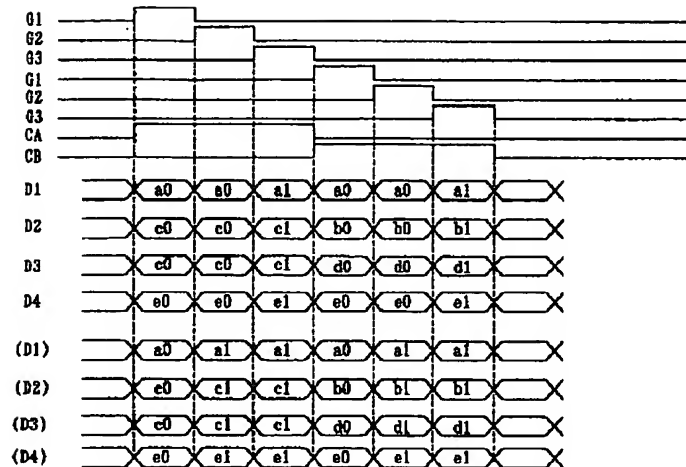
t. ドライバ出力b

u. ドライバ出力c

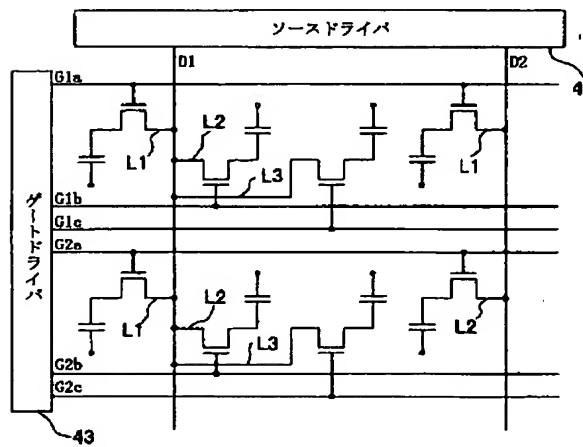
v. ドライバ出力d

w. LCDの表示
 (UXGAの解像度
 の表示装置)

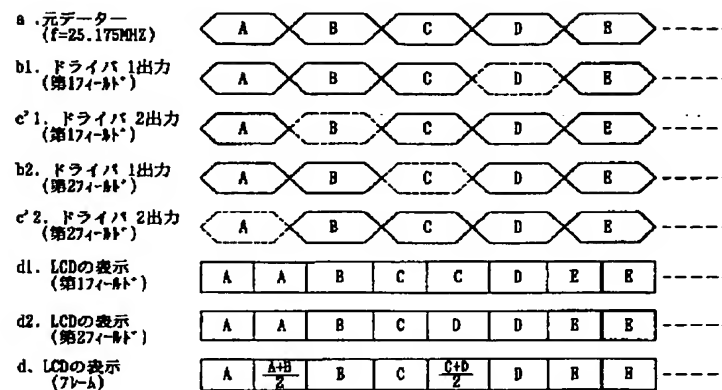
【図 1 1】



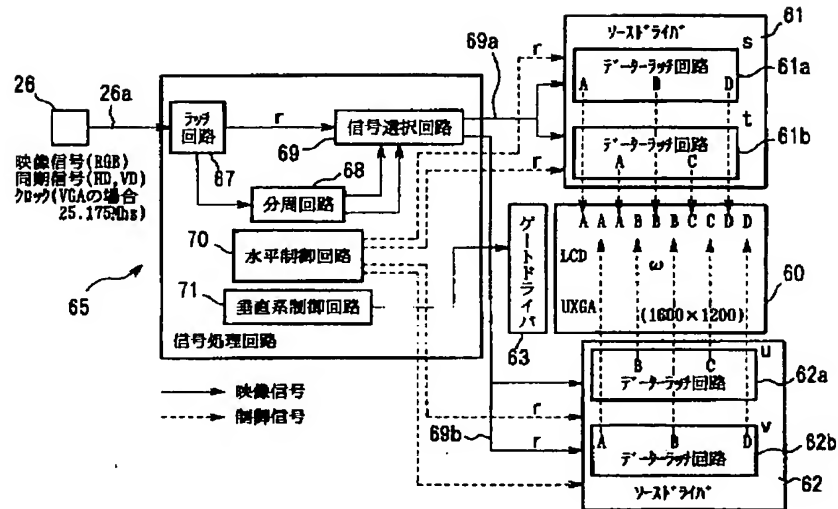
【図 1 2】



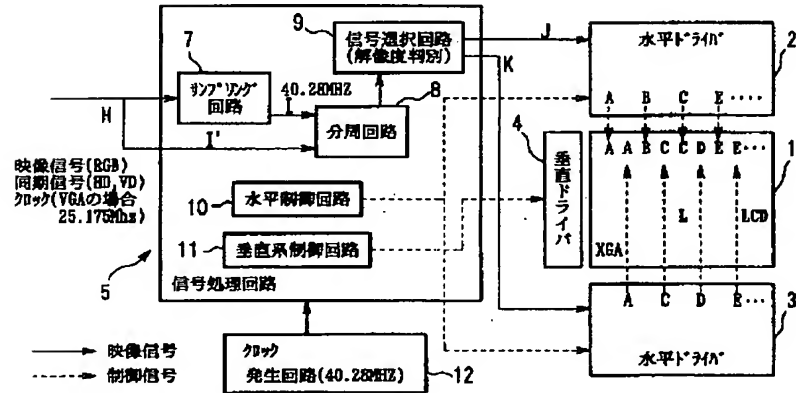
【図 1 5】



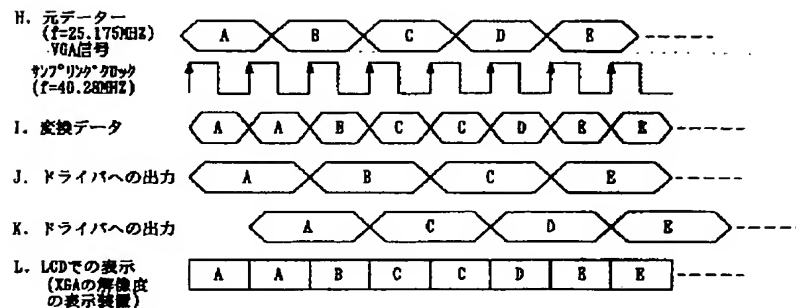
【図13】



【図16】



【図17】



【図 18】

変換率一覧表		表示装置のサイズ						
		352	640	704	720	800	832	854
画 像 デ ィ タ ー の 画 素 数	352	1	1.818182	2	2.045455	2.272727	2.383838	2.428136
	640	0.55	1	1.1	1.125	1.25	1.3	1.334375
	704	0.5	0.90909	1	1.022727	1.136364	1.181818	1.213068
	720	0.48889	0.88889	0.97778	1	1.111111	1.155556	1.186111
	800	0.44	0.8	0.88	0.9	1	1.04	1.0675
	832	0.42308	0.76923	0.84615	0.86538	0.96154	1	1.028442
	854	0.41218	0.74941	0.82436	0.84309	0.93677	0.97424	1
	944	0.37288	0.67797	0.74576	0.76271	0.84746	0.88136	0.90466
	1024	0.34375	0.625	0.6875	0.70313	0.78125	0.8125	0.83398
画 素 数	1152	0.30556	0.55556	0.61111	0.625	0.69444	0.72222	0.74132
	1280	0.275	0.5	0.55	0.5625	0.625	0.65	0.66719
	1600	0.22	0.4	0.44	0.45	0.5	0.52	0.53375
	1920	0.18333	0.33333	0.36667	0.375	0.41667	0.43333	0.44479

【図 19】

変換率一覧表		表示装置のサイズ					
		944	1024	1152	1280	1600	1920
画 像 デ ィ タ ー の 画 素 数	352	2.681818	2.909091	3.272727	3.636364	4.545455	5.454545
	640	1.475	1.6	1.8	2	2.5	3
	704	1.340909	1.454545	1.636364	1.618182	2.272727	2.727273
	720	1.311111	1.422222	1.6	1.777778	2.222222	2.666667
	800	1.18	1.28	1.44	1.6	2	2.4
	832	1.134615	1.230769	1.384615	1.538462	1.823077	2.307692
	854	1.105386	1.199063	1.348948	1.498829	1.873538	2.248244
	944	1	1.084746	1.220339	1.355932	1.694915	2.033898
	1024	0.92188	1	1.125	1.25	1.5625	1.875
画 素 数	1152	0.81944	0.88889	1	1.111111	1.388889	1.666667
	1280	0.7375	0.8	0.9	1	1.25	1.5
	1600	0.59	0.64	0.72	0.8	1	1.2
	1920	0.49167	0.53333	0.6	0.66667	0.83333	1